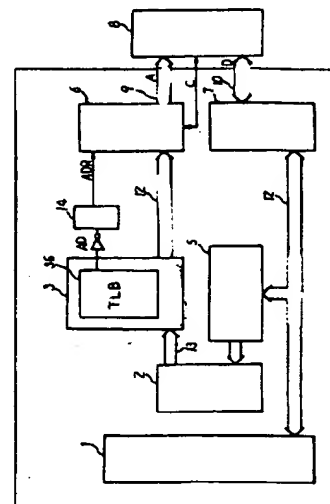


(54) MICROPROCESSOR

(11) 5-67000 (A) (43) 19.3.1993 (19) JP
 (21) Appl. No. 3-227606 (22) 9.9.1991
 (71) NEC IC MICROCOMPUT SYST LTD (72) KAZUHIKO TAKITA
 (51) Int. Cl.⁵. G06F12/10

PURPOSE: To unnecessitate a complicated external hardware, to eliminate processing time for decode or the like, to prevent a bus cycle from being delayed and to improve processing speed for an entire system by executing an advanced address output in the microprocessor.

CONSTITUTION: A memory management unit 3 caches address translation information in an address translation buffer (TLB) 36, and a advanced address output bit AD of a cached page table entry (PTE) in the TLB 36 is stored in a register 14. The advanced address output bit AD outputted from the register 14 is inputted as an advanced address output request signal ADR of an access control unit 6 and this is controlled. The advanced address output bit AD showing either a normal bus cycle or an advanced address output bus cycle is set to the PTE, a real address A is first outputted based on advanced address output information shown by the advanced address output bit AD, and a main memory 8 is accessed.



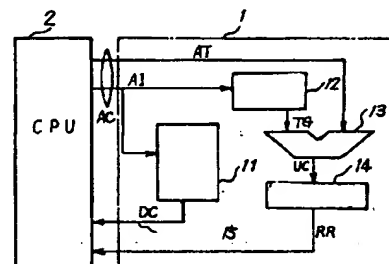
1: instruction execution unit, 2: valid address generation unit, 5: instruction decode unit, 7: data control unit, 9: address bus, 10: data bus, 12: inside real address bus/inside data bus, 13: inside virtual address bus

(54) CACHE MEMORY CIRCUIT

(11) 5-67001 (A) (43) 19.3.1993 (19) JP
 (21) Appl. No. 3-227601 (22) 9.9.1991
 (71) NEC CORP (72) KATSUHIKO ITAGAKI
 (51) Int. Cl.⁵. G06F12/12, G06F12/08

PURPOSE: To attain the high speed reading of cache data with a CPU by providing a replace request generating circuit which outputs a replace request signal for invalidating a cache data making access by a discordance signal.

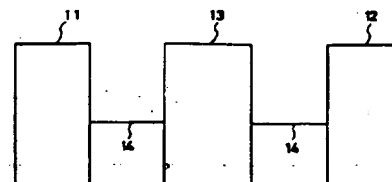
CONSTITUTION: In a cache memory circuit 1, one tag information GT stored in a tag memory 12 is designated and outputted by an index address AI outputted from a CPU 2. At the same time, a cache data memory part 11 is made directly access, cache data DC made access are fetched through a data bus 15 by the CPU 2. Also, the outputted tag information TG is compared with a tag address AT by a comparator 13, and when the compared result is not coincident, discordance signal UC is outputted. Then, when the discordance signal is outputted, a replacement requesting signal PR is outputted by a replacement request generating circuit 14 so that the cache data access can be invalidated.

**(54) INFORMATION PROCESSOR**

(11) 5-67002 (A) (43) 19.3.1993 (19) JP
 (21) Appl. No. 3-226838 (22) 6.9.1991
 (71) TOSHIBA CORP (72) KAZUNORI YAMAKI
 (51) Int. Cl.⁵. G06F12/14, G06F3/06

PURPOSE: To exactly protect data in a storage device in an information processor equipped with the storage device.

CONSTITUTION: An interface circuit 13 having a converting means which converts the data to be written in a storage device 12 into a prescribed form, and a restoring means which restores the data written in the storage device 12 by the converting means into an original form, is provided between a system 1% and the storage device 12. Thus, the data of the storage device 12 can not be made access without interposing the interface circuit 13.



(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-67000

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl.⁵

G 0 6 F 12/10

識別記号

庁内整理番号

F I

技術表示箇所

A 7232-5B

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平3-227606

(22)出願日 平成3年(1991)9月9日

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会社
神奈川県川崎市中原区小杉町1丁目403番
53

(72)発明者 滝田 和彦

神奈川県川崎市中原区小杉町一丁目403番
53日本電気アイシーマイコンシステム株式
会社内

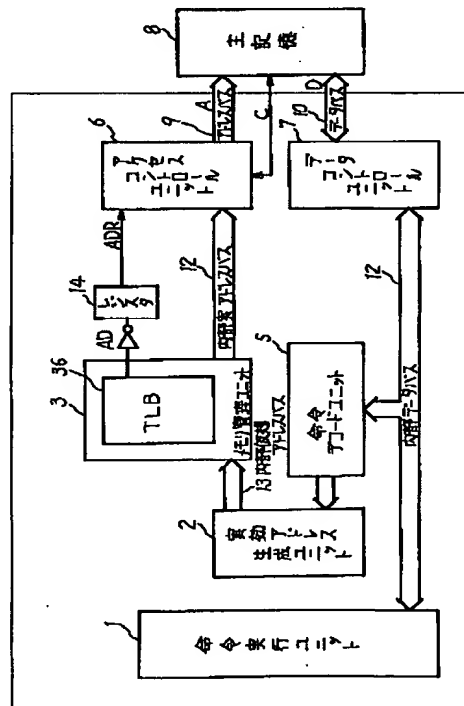
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 マイクロプロセッサ

(57)【要約】

【構成】通常バスサイクルとアドレス先行出力バスサイクルとのいずれであるかを示すアドレス先行出力ビットADをPTE341に設定する。アドレス先行出力ビットADの示すアドレス先行出力情報に基づいて実アドレスAを先行出力して主記憶8をアクセスする。

【効果】マイクロプロセッサ内部でアドレス先行出力を行なえるようになるので、複雑な外付けハードウェアが不用になる。デコード等の処理時間がなくなるのでバスサイクルが遅れることもなくなりシステム全体の処理速度が向上する。



【特許請求の範囲】

【請求項1】 ページングによる仮想記憶方式を用い、主記憶装置上のページテーブルにより仮想アドレスから実アドレスへのアドレス変換を行なうアドレス変換バッファを有するアドレス変換機構とバスコントロール機構とを備えるマイクロプロセッサにおいて、前記ページテーブルのエントリで指定されるページが通常バスサイクルとアドレス先行出力バスサイクルとのいずれであるかを示すアドレス先行出力情報であるアドレス先行出力ビットを前記ページテーブルのエントリに設定し、前記ページをアクセスするときは前記バスコントロール機構に対し前記アドレス先行出力ビットの示すアドレス先行出力情報に基づいて前記実アドレスを先行出力して前記主記憶装置をアクセスすることを特徴とするマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマイクロプロセッサに関し、特にページングによる仮想記憶方式を用いるマイクロプロセッサに関する。

【0002】

【従来の技術】マイクロプロセッサによる情報処理システムにおいては、ページングによる仮想記憶方式を採用する例が多い。

【0003】周知のように、本方式では主記憶領域をページと称される大きさのブロックに分割し、これがロードや再割当の単位となる。これを動かすプログラムも同じ大きさのページに分割され、ページごとにロードされる。

【0004】あるプログラムが実行指示されると、まず、そのプログラムに関するページテーブルが主記憶領域等に作られる。ページテーブルはどの仮想アドレス空間のページが主記憶領域のどのページに割付けられているかを示すためのものである。

【0005】主記憶領域に含まれていない仮想アドレス空間の領域（ページ）をプロセスが参照した場合に、ハードウェアによる例外を発生させ、この例外の処理として要求されたページをディスク等の補助記憶装置から主記憶領域にロードし、ページテーブルを設定した後に命令の再実行を開始する。

【0006】ページテーブルに記憶される情報は、そのページが主記憶領域にあるか仮想記憶領域にあるかを示す状態ビットをはじめ、そのページがI/Oにマッピングされていることを示す情報、メモリ保護情報、仮想アドレスに対応する実アドレス等が管理されている。

【0007】ページテーブルは、プログラムのページとハードウェアのページの対応表で仮想アドレスから実アドレスの変換のためにハードウェアによって用いられる。このためのハードウェアの一例がアドレス変換バッ

ファ（以下TLBという）を備えたアドレス変換機構である。

【0008】従来のページングによる仮想記憶方式を用いたマイクロプロセッサの一例として日本電気株式会社の32ビットマイクロプロセッサμPD70832（以下V80とする）について説明する。

【0009】V80の仮想アドレス空間は4Gバイトあり、これを1Gバイトずつの4つのセクションに分割される。各セクションはさらに1Mバイトずつの1024のエリアに分割される。各エリアはさらに4Kバイトずつの256のページに分割される。

【0010】V80のアドレス変換は、エリアテーブルレジスタペア（以下ATR）とエリアテーブルとページテーブルの情報を参照して行なわれる。

【0011】ATRは、4つのセクションのそれぞれに対応して4組あり、エリアテーブルの主記憶中のベースアドレスとその長さの情報を保持している。また、対応するセクション自信が定義されているかどうかを示す。

【0012】エリアテーブルは、4つのセクションのそれぞれごとに1枚ずつ存在するテーブルである。各々のエントリ（記述子）をエリアテーブルエントリ（以下ATE）と呼ぶ。

【0013】ページテーブルは、エリアごとに1枚ずつ存在するテーブルである。その主記憶上でのベースアドレスは、そのエリアに対応するATEにより指されている。それぞれのエントリをページテーブルエントリ（以下PTE）と呼ぶ。

【0014】図3は従来のマイクロプロセッサの一例を示すブロック図である。従来のマイクロプロセッサは、図3に示すように、命令を実行する命令実行ユニット1と、デコードされた命令により仮想アドレスを計算する実行アドレス生成ユニット2と、仮想アドレスから実アドレスに変換するアドレス変換バッファ（TLB）3を有するメモリ管理ユニット4と、命令をデコードする命令デコードユニット5と、アドレスバス9を制御するアクセスコントロールユニット6と、データコントロールユニット7と、アドレスバス9と、データバス10と、内部データバス11と、内部実アドレスバス12と、内部仮想アドレスバス13とを備えて構成され、外部に主記憶8と、デコード回路15とを有してマイクロプロセッサシステムを構成していた。

【0015】次に、従来のマイクロプロセッサの動作について説明する。

【0016】まず、主記憶8から取込まれた命令に従って、命令デコードユニット5により命令がデコードされる。次に、実行アドレス生成ユニット2で計算された仮想アドレスが、内部仮想アドレスバス13を介してメモリ管理ユニット4に与えられる。メモリ管理ユニット4は、仮想アドレスを実アドレスに変換する。この実アドレスを内部実アドレスバス12を経由してアクセスコン

トロールユニット6に転送する。アクセスコントロールユニット6は、実アドレスを受取ると、アドレスバス9と制御信号Cを制御して、主記憶8へのアクセスを行なう。

【0017】図4は、図3のメモリ管理ユニット4の動作の概要を示す図である。図3の内部仮想アドレスバス13を経由して送られてくる32ビットの仮想アドレス31は、上位ビット側から2ビットのセクションID・IDSと、10ビットのエリアID・IDAと、8ビットのページID・IDPと、12ビットのページ内オフセットPOから構成されている。

【0018】まず、セクションID・IDSにより、プロセッサ内のエリアテーブルレジスタペア(ATR)32から対応するレジスタが選択される。次に、ATR32内のエリアテーブルベースアドレスATAでエリアテーブル33を指定し、この指定されたエリアテーブル33の中から、エリアID・IDAが指定してエリアテーブルエントリ(ATE)331が選択される。次に、ATE331内のページテーブルベースアドレスPTAでページテーブル44を指定し、この指定されたページテーブル44の中から、ページID・IDPが指定してページテーブルエントリ(PTE)441が選択される。最後に、PTE441内の実ページ番号RPNでページ351を指定し、この指定されたページ351の中からページ内オフセットPOの分を加えたものが変換された実アドレス35となる。

【0019】実アドレス35は、図2の内部実アドレスバス12を経由してアクセスコントロールユニット6に転送される。

【0020】また、メモリ管理ユニット4は、前述のように、仮想アドレスから実アドレスへの変換結果を格納しておき、高速にアドレス変換を行なうためのハードウェアであるアドレス変換バッファ(TLB)4を備えている。上述のように仮想アドレスから実アドレスへの変換が実行されると、その変換結果はTLB4に格納される。

【0021】図5は、PTE441の構成を示す図である。PTE441は、ビット12～31の実ページ番号フィールドRPNと、ビット5の未定義のRFUフィールドRFUと、PTE341が有効か否かを示すビット0の有効ビットVと、ユーザビットU等その他の仮想記憶情報から構成されている。

【0022】次に、アドレス先行出力機構について説明する。

【0023】通常のバスサイクルは、ウエイトがない場合にはアドレスの出力から2クロック後にデータのサンプリングを行なう。これに対し、アドレス先行出力機構は、同様にウエイトがない条件でアドレスの出力から実際のデータアクセスまで3クロックの余裕を持ちながら、バスサイクルを2クロックで終結させる機能を有す

る。

【0024】図6は、通常のバスサイクルのタイムチャートを示す。

【0025】図6の通常のバスサイクルでは、クロックCK1でバスサイクルの開始でアドレスAの出力と同時に信号BCをアクティブにする。次のクロックCK2で信号DAをアクティブにする。その次のクロックCK3の立上がりで信号RYがアクティブであるならば、アドレスAの出力から2クロックでデータDをサンプリングする。

【0026】この方法では、データDのサンプリングまでアドレスAを保持しているため、スタティックRAM(以下SRAM)に対するアクセスでは、このバスサイクルを使用する。

【0027】図7は、アドレス先行出力機構によるアドレス先行出力のバスサイクルのタイムチャートを示す。

【0028】図7のアドレス先行出力のバスサイクルでは、バスサイクルの開始の半クロック前に、アドレス先行出力要求信号ADRをサンプリングする。このときアドレス先行出力要求信号ADRがアクティブであれば、クロックCK1でバスサイクルを開始する。すなわち、アドレスAの出力と同時に信号BCをアクティブとする。そして、クロックCK3で信号DAをアクティブにした後、その次のクロックCK4の立上がりで信号RYがアクティブであるならば、アドレスAの出力から3クロックでデータDをサンプリングする。

【0029】この方法では、アドレスを出力し、そのアドレスに対応するデータをサンプリングするときには既に次のデータに切替わっているため、ダイナミックRAM(以下DRAM)に対するアクセスでこのアドレス先行出力のバスサイクルを使用することにより、ウエイトを挿入することなく通常のバスサイクルより1クロックの余裕を持ってデータをアクセスすることができる。

【0030】図3における主記憶8として用いられる記憶素子としてはSRAMとDRAMとがある。周知のように、SRAMは集積度が低いがマイクロプロセッサの処理速度に対し動作速度が十分速い。しかし、DRAMは集積度が高いがマイクロプロセッサの処理速度に対し動作速度が遅く、ウエイトなしでは対応できない。

【0031】図3において、主記憶8がSRAMとDRAMとが混在して構成されている場合には、デコード回路15を設け、プログラムがSRAMの領域のときは通常のバスサイクルで動作し、プログラムがDRAMの領域に入ったときこれを検出してアドレス先行処理要求アドレス先行出力要求信号ADRをアクティブにすることによりアドレス先行出力のバスサイクルに切替える。以上のようにして、マイクロプロセッサシステム全体の処理速度を向上できるというものであった。

【0032】

【発明が解決しようとする課題】上述した従来のマイク

ロプロセッサは、バスサイクルの開始以前にアドレスを先行出力させるかどうかの判断をする必要があるため、マイクロプロセッサが出力するアドレスをデコードしプログラムがDRAMの領域に入ったことを検出するためのデコード回路等の外付けハードウェアを必要とするという欠点があった。また、このデコードに時間がかかるため、バスサイクルが遅れる原因となるという欠点があった。

【0033】

【課題を解決するための手段】本発明のマイクロプロセッサは、ページングによる仮想記憶方式を用い、主記憶装置上のページテーブルにより仮想アドレスから実アドレスへのアドレス変換を行なうアドレス変換バッファを有するアドレス変換機構とバスコントロール機構とを備えるマイクロプロセッサにおいて、前記ページテーブルのエントリで指定されるページが通常バスサイクルとアドレス先行出力バスサイクルとのいずれであるかを示すアドレス先行出力情報であるアドレス先行出力ビットを前記ページテーブルのエントリに設定し、前記ページをアクセスするときは前記バスコントロール機構に対し前記アドレス先行出力ビットの示すアドレス先行出力情報に基づいて前記実アドレスを先行出力して前記主記憶装置をアクセスすることを特徴とするものである。

【0034】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0035】図1は本発明のマイクロプロセッサの一実施例を示すブロック図である。

【0036】本実施例のマイクロプロセッサは、図1に示すように、従来と同様の命令を実行する命令実行ユニット1と、デコードされた命令により仮想アドレスを計算する実行アドレス生成ユニット2と、仮想アドレスから実アドレスに変換するアドレス変換バッファ(TLB)36を有するメモリ管理ユニット3と、命令をデコードする命令デコードユニット5と、アドレスバス9を制御するアクセスコントロールユニット6と、データコントロールユニット7と、アドレスバス9と、データバス10と、内部データバス11と、内部実アドレスバス12と、内部仮想アドレスバス13とに加えて、レジスタ14と、インバータI1とを備えて構成され、外部に主記憶8を有してマイクロプロセッサシステムを構成している。

【0037】図2は、本実施例の図4に示したメモリ管理ユニット3のページテーブルエントリ(PTE)341の構成を示す図である。PTE341は、ビット12～31の実ページ番号フィールドRPNと、ビット5のPTE341で指定されるページが通常バスサイクルとアドレス先行出力バスサイクルとのいずれであるかを示すアドレス先行出力ビットADと、PTE341が有効か否かを示すビット0の有効ビットVと、ユーザビット

U等その他の仮想記憶情報から構成されている。ここで、従来例にて未定義のRFUフィールドであったビット5をアドレス先行出力ビットADに充当している。アドレス先行出力ビットADは、'0'のときは通常のバスサイクルモードを、'1'のときはアドレス先行出力バスサイクルモードをそれぞれ指定する。

【0038】次に、本実施例の動作について説明する。

【0039】ここで、図1に示す構成要素はレジスタ14とインバータI1以外は図3に示す従来例と同一であり、全般的な動作についても同一であるので、本発明に直接関連するもの以外は冗長とならないよう説明を省略する。

【0040】また、図4は図3におけるメモリ管理ユニット4をメモリ管理ユニット3に読代えることにより、図1のメモリ管理ユニット3の動作の概要を示す図である。ここでPTE441をPTE341と読代えることにより、前述の従来例の動作と同一となるので、本発明に直接関連するもの以外は冗長とならないよう説明を省略する。

【0041】図1において、まず、主記憶8から取込まれた命令に従って、命令デコードユニット5により命令がデコードされる。次に、実行アドレス生成ユニット2で計算された仮想アドレスが、内部仮想アドレスバス13を介してメモリ管理ユニット3に与えられる。メモリ管理ユニット3は、TLB36にアドレス変換情報が緩衝記憶(キャッシュ)される。TLB36にキャッシュされたPTE341のアドレス先行出力ビットADをインバータI1で反転してレジスタ14に格納する。そしてレジスタ14から出力したアドレス先行出力ビットADをアクセスコントロールユニット6のアドレス先行出力要求信号ADRとして入力しこれを制御する。アドレス先行出力ビットADが'0'の場合は、アドレス先行出力要求信号ADRは"H"レベルとなり、アドレス先行出力を行なわない、すなわち、通常のバスサイクルモードとなる。アドレス先行出力ビットADが'1'の場合は、アドレス先行出力要求信号ADRは"L"レベルとなり、アドレス先行出力のバスサイクルモードにて、主記憶8へのアクセスを行なう。

【0042】

【発明の効果】以上説明したように、本発明のマイクロプロセッサは、通常バスサイクルとアドレス先行出力バスサイクルとのいずれであるかを示すアドレス先行出力ビットをページテーブルエントリに設定し、アドレス先行出力ビットの示すアドレス先行出力情報に基づいて実アドレスを先行出力して主記憶装置をアクセスすることにより、マイクロプロセッサ内部でアドレス先行出力を行なえるようになるので、複雑な外付けハードウェアが不用になるという効果がある。また、デコード等の処理時間がなくなるので、バスサイクルが遅れることもなくなりシステム全体の処理速度が向上するという効果があ

る。

【図面の簡単な説明】

【図1】本発明のマイクロプロセッサの一実施例を示すブロック図である。

【図2】本実施例のメモリ管理ユニットのページテーブルエントリ（PTE）の構成を示す図である。

【図3】従来のマイクロプロセッサの一例を示すブロック図である。

【図4】メモリ管理ユニットの動作の概要を説明する図である。

【図5】従来のPTEの構成を示す図である。

【図6】通常のバスサイクルにおける動作を示すタイムチャートである。

【図7】アドレス先行出力のバスサイクルにおける動作を示すタイムチャートである。

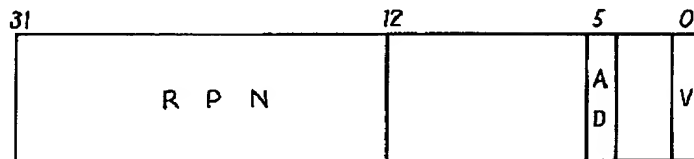
【符号の説明】

- 1 命令実行ユニット
- 2 実行アドレス生成ユニット
- 3, 4 メモリ管理ユニット
- 5 命令デコードユニット

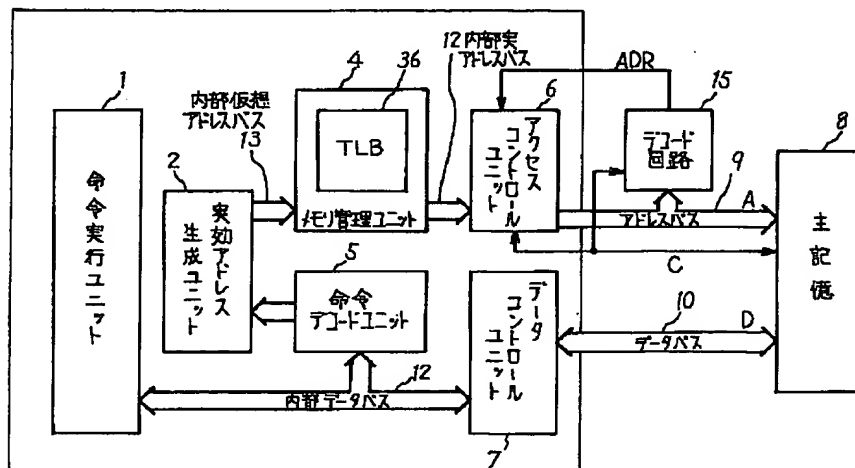
- * 6 アクセスコントロールユニット
- 7 データコントロールユニット
- 8 主記憶
- 9 アドレスバス
- 10 データバス
- 11 内部データバス
- 12 内部実アドレスバス
- 13 内部仮想アドレスバス
- 14 レジスタ
- 10 15 デコード回路
- 31 仮想アドレス
- 32 ATR
- 33 エリアテーブル
- 34, 44 ページテーブル
- 35 実アドレス
- 36 TLB
- 331 ATE
- 341, 441 PTE
- I1 インバータ

* 20

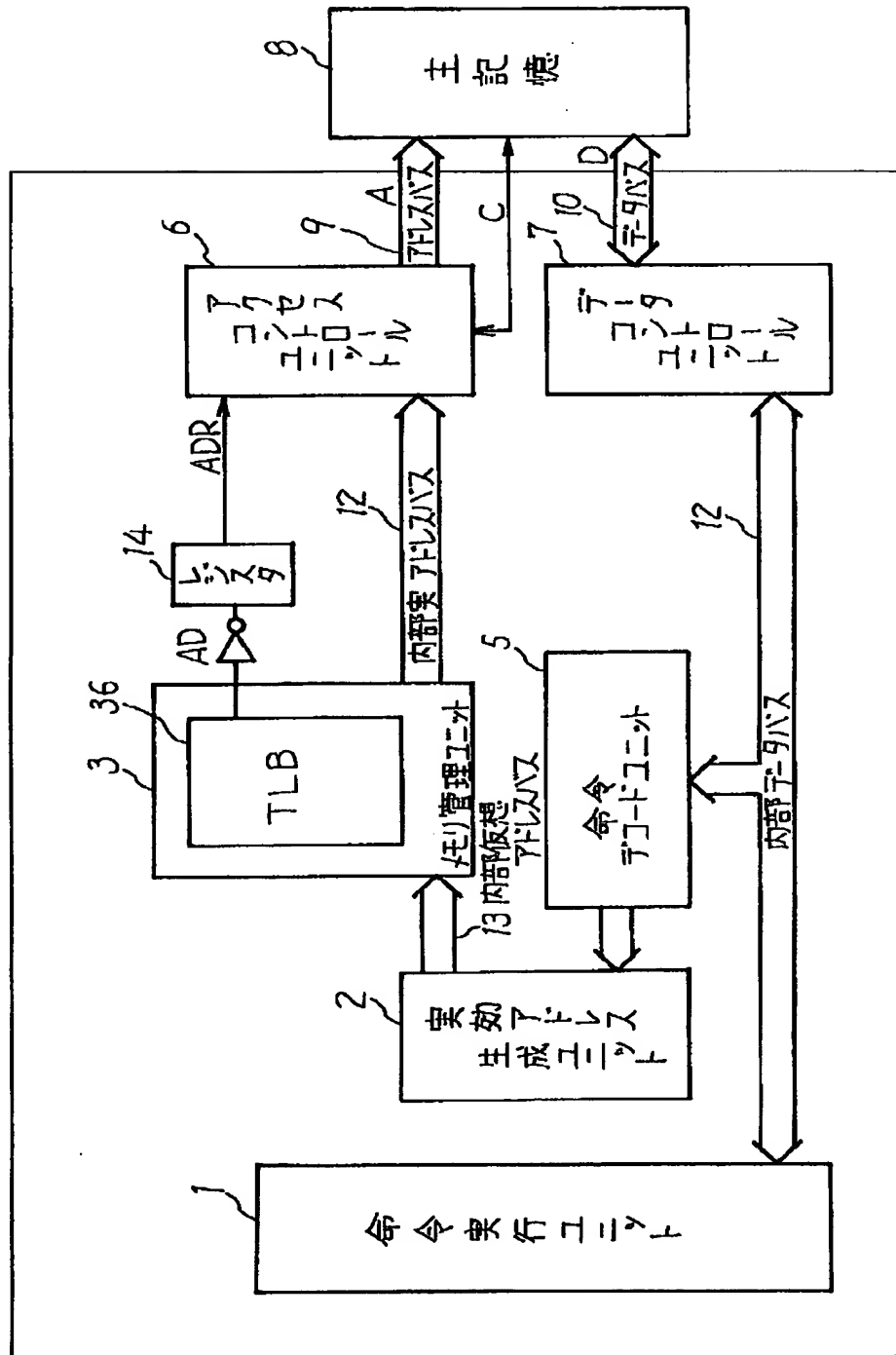
【図2】



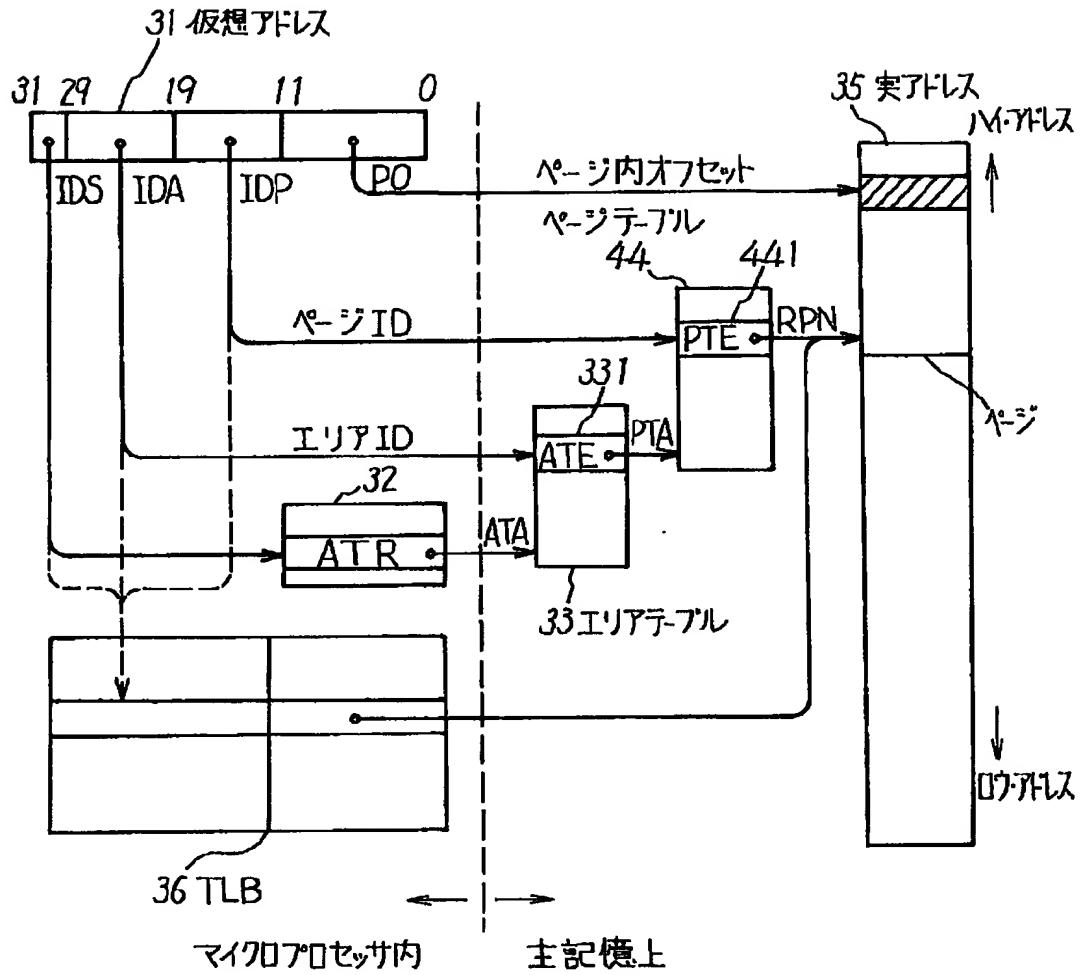
【図3】



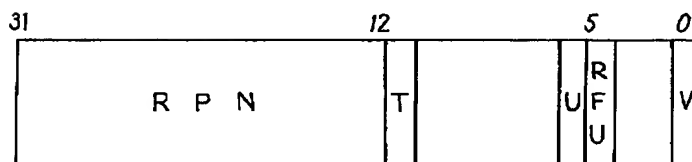
【図1】



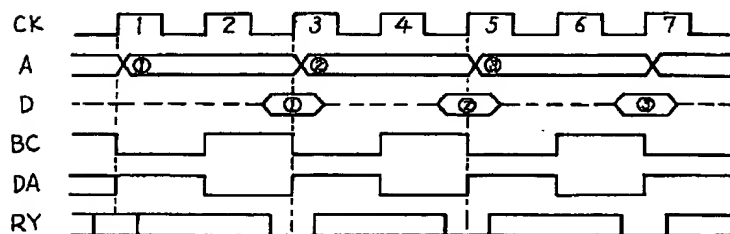
【図4】



【図5】



【図6】



【図7】

